

(11)Publication numb r : 55-005533

(43)Dat of publication of application : 16.01.1980

51)Int.CI

H03K 17/00

21)Application number : 53-078260

(71)Applicant : RICOH CO LTD

22)Dat of filing : 27.06.1978

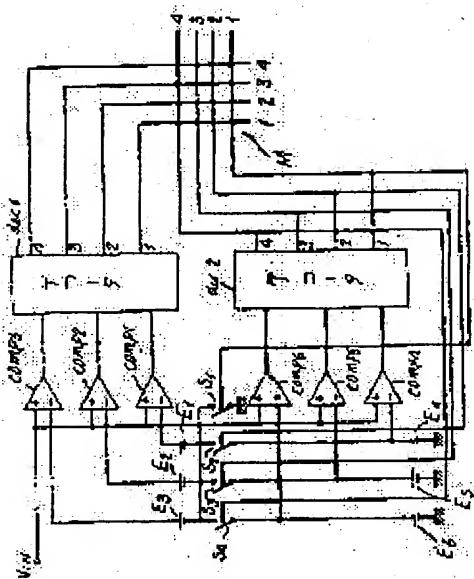
(72)Inv ntor : IGUCHI SUSUMU

54) MATRIX DRIVING CIRCUIT

57)Abstract:

URPOSE: To simplify the circuit constitution and to reduce the A-D conversion time, by providing the first and second voltage comparator groups to compare each reference voltage of the first and second reference voltage groups with the input voltage and adjusting each reference voltage of the first group with the output of the second comparator.

ONSTITUTION: The circuit consists of the first reference voltage source groups E1 to E3, second reference voltage source groups E4 to E6, switches S1 to S4, first voltage comparator groups comp 1 to comp 3, second voltage comparator groups comp 4 to comp 6, decoders dec 1 and dec 2, and light emitting diod M for the load in matrix connection to display the pick up formation located in the finder of the camera. With this constitution, the input voltage Vin is compared with the voltages E1 to E6 of the reference voltage source at the comparator groups comp 1 to 6. As the result, the first row first column of the matrix circuit M to the fourth column are operated. Next, this operation is made from the second column to the fourth column. Thus, oscillation circuits, integrators, timing circuits and counters are not required to constitute very simple circuitry.



LEGAL STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Date of final disposal for application]

Patent number]

Date of registration]

Number of appeal against examiner's decision of rejection]

Date of requesting appeal against examiner's decision of rejection]

Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑪ 公開特許公報 (A)

昭55-5533

⑪ Int. Cl.³
H 03 K 17/00識別記号
H 03 K 17/00厅内整理番号
7105-5 J

⑪ 公開 昭和55年(1980)1月16日

発明の数 1
審査請求 未請求

(全 5 頁)

⑪ マトリクス駆動回路

6号株式会社リコー内

⑪ 出願人 株式会社リコー

東京都大田区中馬込1丁目3番

6号

⑪ 代理人 弁理士 棒山亨

⑪ 特願 昭53-78260

⑪ 出願 昭53(1978)6月27日

⑪ 発明者 井口進

東京都大田区中馬込1丁目3番

明細書

発明の名称

マトリクス駆動回路

特許請求の範囲

入力電圧の値によってマトリクス状に接続された複数の負荷を選択的に駆動する回路において、第一の基準電圧源群と、この第一の基準電圧源群の各基準電圧と入力電圧を比較する第一の電圧比較器群と、第二の基準電圧源と、この第二の基準電圧源の各基準電圧と入力電圧を比較する第二の電圧比較器群と、前記第一の電圧比較器群の出力状態の変化により前記第一の基準電圧源群の各基準電圧を変える手段と、前記第一の電圧比較器群及び第二の電圧比較器群の出力信号により負荷を選択的に駆動する手段とを具備するマトリクス駆動回路。

発明の詳細な説明

本発明はマトリクス状に接続された複数の負荷を選択的に駆動するマトリクス駆動回路に関する。特に、マトリクス回路は入力電圧をA-D変換器

によりデジタル信号に変換してデコードでデータドレマトリクス回路の行及び列を選び出している。そしてA-D変換器には①入力電圧に比例した幅を有するペルスを発生させその幅をカウンタで計数する方式、又は②負荷の数だけ電圧比較器と基準電圧源を持ち各電圧比較器で入力電圧と各基準電圧源の基準電圧を比較する方式、又は③逐次比較方式を使用している。しかし、①の方式ではA-D変換時間が遅く、発振器やタイミング回路等が必要で回路構成が複雑となる。また通常かなり大きな容量のコンデンサが必要であり、基板回路化した場合コンデンサが外部に出てしまう。②の方式ではA-D変換時間は短かいが、負荷が多くなると、電圧比較器と基準電圧源も多くなるため、多くの負荷を駆動するには適さない。③の方式ではA-D変換時間を①の方式より短くできるが、回路が複雑となる。

本発明は上記欠点を改善した、カメラの撮影情報表示装置等に好適なマトリクス駆動回路を提供することを目的とする。

以下図面を参照しながら本発明の実施例について説明する。

第1図は本発明の一例を示し、図中 $E_1 \sim E_4$ は第一の基準電圧源群、 $E_4 \sim E_6$ は第二の基準電圧源群、 $S_1 \sim S_4$ はスイッチ Comp1 ～ Comp3 は第一の電圧比較器群 Comp4 ～ Comp6 は第二の電圧比較器群、 dec1, dec2 はデコーダ、 H は 4×4 個の負荷をマトリクス状に接続した回路であり、この負荷はカメラのファインダー内に配置されていて撮影情報を表示する発光ダイオードなどとなる。第2図はデコーダ dec1, dec2 の動作を示し、第3図は回路全体の真理値表を示す。ここで、スイッチ $S_1 \sim S_4$ はデコーダ dec2 の各出力がローレベルの時にそれぞれオンになり、又基準電圧源 $E_1 \sim E_6$ の電圧関係は

$$0 < E_1 < E_2 < E_3 < E_4 < E_5 < E_6 \\ E_3 < E_5 - E_4, \quad E_5 < E_6 - E_4$$

である。

(1) まず、入力電圧 V_{IN} が $0 < V_{IN} < E_1$ の時には行選択用の電圧比較器 Comp4 ～ Comp6 は基準電圧

源 $E_1 \sim E_4$ の基準電圧と入力電圧を比較し出力が全て 0 となる。デコーダ dec2 は電圧比較器 Comp1 ～ Comp3 の出力をデコードしてマトリクス回路 H の第1行を駆動すると共にスイッチ S_1 をオンさせる。一方、列選択用の電圧比較器 Comp1 ～ Comp3 は基準電圧源 $E_1 \sim E_3$ の基準電圧と入力電圧を比較し、その出力信号がデコーダ dec1 でデコードされる。このとき、 $0 < V_{IN} < E_1$ であれば電圧比較器 Comp1 ～ Comp3 の出力信号が全て 1 となり、デコーダ dec1 からマトリクス回路 H の第1列に電力が供給されて第1行第1列の負荷が駆動される。 $E_1 < E_{1N} < E_2$ のときは電圧比較器 Comp1 の出力信号が 1 となり電圧比較器 Comp2, Comp3 の出力信号が 0 となってデコーダ dec1 からマトリクス回路 H の第2列に電力が供給され第1行第2列の負荷が駆動される。 $E_2 < E_{1N} < E_3$ のときは電圧比較器 Comp1, Comp2 の出力信号が 1 となり電圧比較器 Comp3 の出力信号が 0 となってデコーダ dec1 からマトリクス回路 H の第3列に電力が供給さ

れ第1行第3列の負荷が駆動される。 $E_3 < E_{1N} < E_4$ のときは電圧比較器 Comp1 ～ Comp3 の出力信号が全て 1 となってデコーダ dec1 からマトリクス回路 H の第4列に電圧が供給され第1行第4列の負荷が駆動される。

(2) 入力電圧 V_{IN} が $E_1 < V_{IN} < E_3$ のときは電圧比較器 Comp4 の出力信号が 1 となり電圧比較器 Comp5, Comp6 の出力信号が 0 となつたデコーダ dec2 からマトリクス回路 H の第2行に電力が供給され、かつスイッチ S_2 がオンでスイッチ S_1, S_3, S_4 がオフとなる。したがって電圧比較器 Comp1 ～ Comp3 には基準電圧源 $E_1 \sim E_3$ の各電圧に基準電圧源 E_1 の電圧を加えたものが与えられ、(1)の場合と同様に列の選択が行われる。即ち、 $E_1 < E_{1N} < E_3 - E_1$ のときは第1列が選択されて第2行第1列の負荷が駆動され、 $E_1 + E_2 < E_{1N} < E_3 - E_1$ のときは第2列が選択されて第2行第2列の負荷が駆動され、 $E_1 + E_2 < E_{1N} < E_4 - E_1$ のときは第3列が選択されて第2行第3列の負荷が駆動され、 $E_1 + E_3 < E_{1N} < E_4$ のときは第4列が選択されて第2行第4列の負荷が駆動される。

$< E_5$ のときは第4列が選択されて第2行第4列の負荷が駆動される。

(3) 同様に入力電圧 V_{IN} が $E_3 < E_{1N} < E_4$ のときはマトリクス回路 H の第3行が選択され、スイッチ S_3 がオンでスイッチ S_1, S_2, S_4 がオフとなる。そして $E_3 < E_{1N} < E_3 + E_1$ のときは第3行第1列の負荷が駆動され、 $E_3 + E_2 < E_{1N} < E_3 + E_3$ のときは第3行第2列の負荷が駆動され、 $E_3 + E_3 < E_{1N} < E_4$ のときは第3行第3列の負荷が駆動され、 $E_3 + E_3 < E_{1N} < E_4$ のときは第3行第4列の負荷が駆動される。

(4) さらに入力電圧 V_{IN} が $E_4 < E_{1N}$ のときはマトリクス回路 H の第4行が選択され、スイッチ S_4 がオンでスイッチ $S_1 \sim S_3$ がオフとなる。そして $E_4 < E_{1N} < E_6 + E_1$ のときは第4行第1列の負荷が駆動され、 $E_6 + E_5 < E_{1N} < E_6 + E_2$ のときは第4行第2列の負荷が駆動され、 $E_6 + E_5 < E_{1N} < E_6 + E_3$ のときは第4行第3列の負荷が駆動され、 $E_6 + E_5 < E_{1N} < E_4$ のときは第4行第4列の負荷が駆動される。

このようなマトリクス駆動回路によれば A-D を

換時間が電圧比較器の入出力の遅れだけであるので、極めて高速であり、又入力電圧を時分割で入力できるため複数の情報を同時に入力して表示することができる。又電圧比較器及び基準電圧源の数は(行の数-1)+(列の数-1)個でよいため非常に少くてすむ。従来の方式ではこれらは(行の数)×(列の数)-1個必要である。例えばこれらは4行4列のマトリクス回路で比べると、上記例では6個であるが、従来方式では15個であり、また6行6列のマトリクス回路で比べると、上記例では10個であるが、従来方式では55個であり、マトリクス回路が増大するにしたがって上記例の効果が大きくなる。又電圧比較器、基準電圧源、デコーダ、スイッチで構成されるため、発振回路や複数回路、タイミング回路、カウンタなどを必要とせず回路が非常に簡単である。

第4図は本発明の第1の実施例を示す。この実施例ではデコーダdec1, dec2が NANDゲートNAND₁～NAND₄で構成され、マトリクス回路Mはカメラのファインダー内に配置されていて撮影情報を表

示する発光ダイオードLED₁₁～LED₁₄をマトリクス状に接続した回路よりなる。基準電圧源E₁～E₄は直流電源及び抵抗R₁～R₄で構成され、R₂～R₃＝R₄＝R₅に設定されている。基準電圧源E₁～E₃は演算増幅器OP₁, OP₂、抵抗R₇～R₁₀で構成され、R₇＝R₈＝R₉＝R₁₀＝R/4に設定されている。スイッチS₁～S₄はアナログスイッチAS₁～AS₄で構成されている。デコーダdec2を構成している NANDゲートNAND₅～NAND₈の出力信号がインバータIN₁～IN₄を介してアナログスイッチAS₁～AS₄に加えられるとともに行を選択しているデコーダdec1は NANDゲートNAND₉～NAND₁₂で構成され、各出力がインバータIN₅～IN₈、アナログスイッチAS₅～AS₁₂を介してマトリクス回路Mの各列に加えられる。トランジスタQ₁～Q₃及び抵抗R₁₁～R₁₄よりなる回路は発振器OSCの出力に応じてアナログスイッチAS₉～AS₁₂をスイッチング動作させ発光ダイオードLED₁₁～LED₁₄を点滅させる。

第5図は本発明の他の実施例を示す。この実施例では基準電圧源E₁～E₆がトランジスタQ₁～Q₆、

抵抗R₁₃～R₁₇で構成され、R₁₅＝R₁₆, R₂₁～R₂₇～R₁, R₁₇～R₂₀＝R/4に設定される。(ただしR₁₃, R₂₄は無くてもよい。)スイッチS₁～S₄はトランジスタQ₆～Q₉、ダイオードD₁～D₆、抵抗R₂₈～R₃₁で構成され、デコーダdec1, dec2はトランジスタQ₉～Q₁₄、抵抗R₃₃, R₃₄, R₃₅, R₃₆で構成されている。

以上の上うえ本発明によるマトリクス駆動回路にあつては第一の電圧比較器群で第一の基準電圧源群の各基準電圧と入力電圧を比較すると共に第二の電圧比較器群で第二の基準電圧源群の各基準電圧と入力電圧を比較して第一及び第二の電圧比較器群の出力信号により負荷を選択的に駆動し第二の電圧比較器群の出力状態の変化により第一の基準電圧源群の各基準電圧を変えるので、A-D変換時間が短くて回路構成が簡単となり、全集積回路化も可能である。

回路の構成を説明

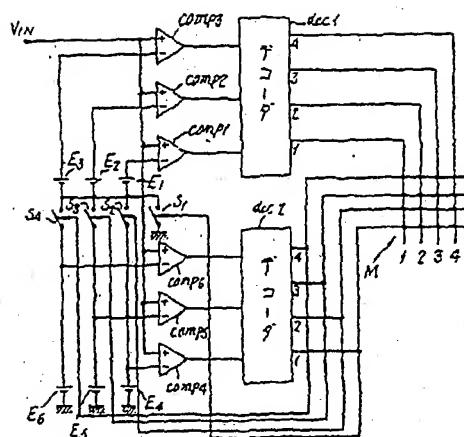
第1図は本発明の一例を示す回路図、第2図及び第5図は同例を説明するための図、第4図及び

第5図は本発明の各実施例を示す回路図である。

E₁～E₆…基準電圧源、Compl～Compr…電圧比較器、dec1, dec2…デコーダ、S₁～S₄…スイッチ、M…マトリクス回路。

代理人 梅山亨

第1回



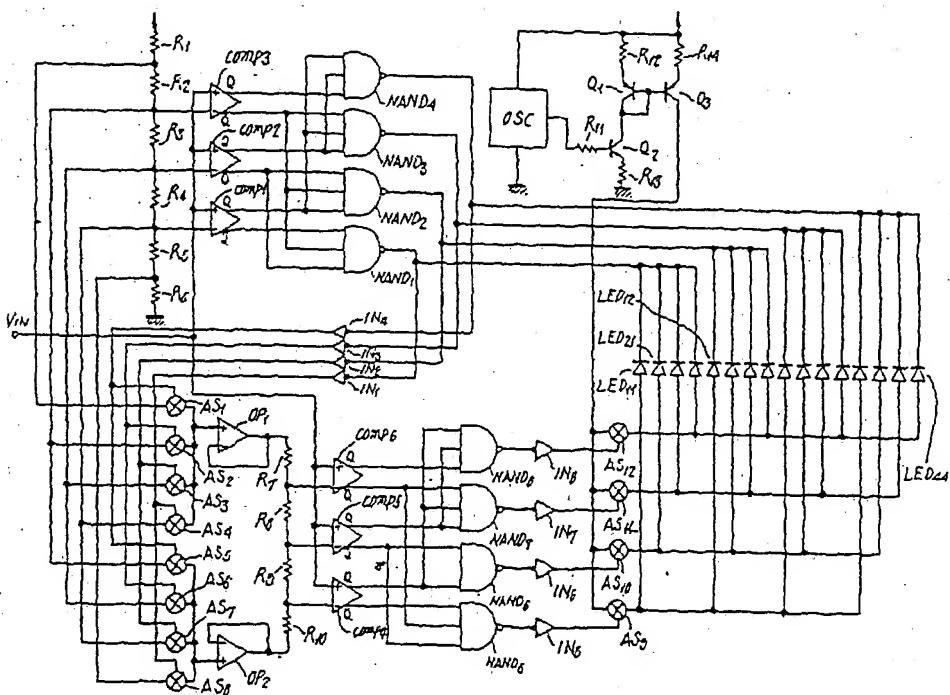
第2回

電圧比較器の 出力		T ₂ -T ₉ dec1の 各出力			
COMP1	COMP2	COMP3	COMP4	COMP5	COMP6
1 2 3	1 2 3 4	4 5 6	1 2 3 4	1 2 3 4	1 2 3 4
0 0 0	1 0 0 0	0 0 0	1 0 0 0	0 0 0 0	1 0 0 0
1 0 0	0 1 0 0	1 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0
1 1 0	0 0 1 0	1 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0
1 1 1	0 0 0 1	1 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0

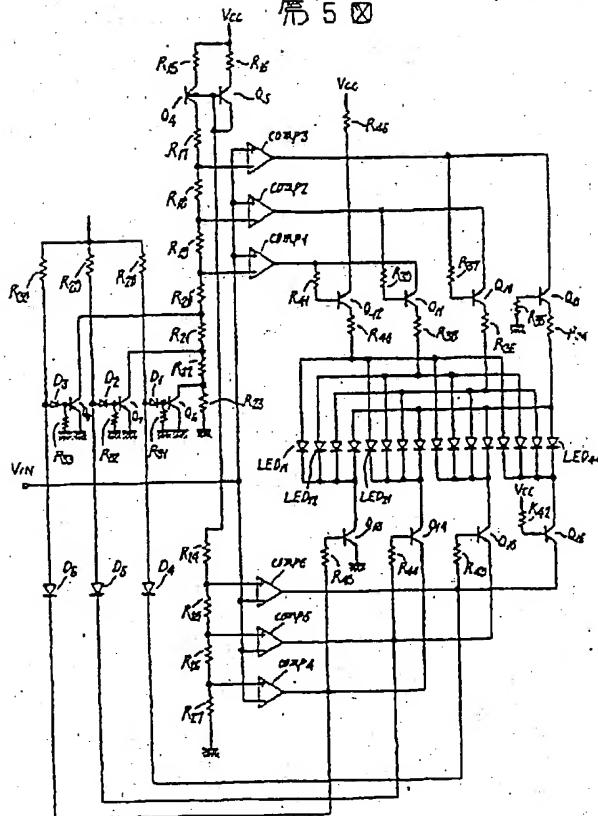
第3回

入力電圧範囲	電圧比較器の 出力	電圧比較器の 出力	T ₂ -T ₉ dec1の 各出力	T ₂ -T ₉ dec2の 各出力	強制 電圧
V _{IN}	COMP1	COMP2	COMP3	COMP4	COMP5
0~E ₁	1 2 3	4 5 6	1 2 3 4	1 2 3 4	1 2 3 4
E ₁ ~E ₂	1 0 0	0 0 0	0 0 0	0 0 0	1 1 1 1
E ₂ ~E ₃	1 1 0	0 0 0	0 0 0	1 0 0 1	1 1 1 3
E ₃ ~E ₄	1 1 1	0 0 0	0 0 0	0 1 0 1	1 1 1 4
E ₄ ~E ₅	0 0 0	1 0 0	1 0 0 0	1 0 1 1	2 1
E ₅ ~E ₆	1 0 0	1 0 0	0 0 0	1 0 0 1	2 2
E ₆ ~E ₇	1 1 0	1 0 0	0 0 0	1 0 1 0	2 3
E ₇ ~E ₈	1 1 1	1 0 0	0 0 0	1 1 0 1	2 4
E ₈ ~E ₉	0 0 0	1 1 0	0 0 0	1 1 0 1	3 1
E ₉ ~E ₁₀	1 0 0	1 1 0	0 0 0	1 1 0 1	3 2
E ₁₀ ~E ₁₁	1 1 0	1 1 0	0 0 0	1 1 0 1	3 3
E ₁₁ ~E ₁₂	1 1 1	1 1 0	0 0 0	1 1 0 1	3 4
E ₁₂ ~E ₁₃	0 0 0	1 1 1	0 0 0	1 1 0 1	4 1
E ₁₃ ~E ₁₄	1 0 0	1 1 1	0 0 0	1 1 1 0	4 2
E ₁₄ ~E ₁₅	1 1 0	1 1 1	0 0 0	1 1 1 1	4 3
E ₁₅ ~E ₁₆	1 1 1	1 1 1	0 0 0	1 1 1 1	4 4

第4回



第5回



昭 56 12.24 発行

手 続 補 正 書 (自発)

昭和 56 年 9 月 25 日

特許庁長官 島 田 春 株 殿
(特許庁審査官 殿)

特許法第17条の2の規定による補正の掲載
昭和53年特許願第78260号(特開昭
55-5533号 昭和55年1月16日
発行公開特許公報55-56号掲載)につ
いては特許法第17条の2の規定による補正があつ
たので下記のとおり掲載する。

Int.CI.	識別記号	序内整理番号
H03K 17/00		7105 5J

1 事件の表示

昭和 53 年 特 許 第 78260 号

2 発明の名称

マトリクス駆動回路

3 補正をする者

事件との関係 特許出願人

住 所 東京都大田区中馬込1丁目3番6号
名 称 (674) 株式会社 リコ

4 代 理 人 〒156

住 所 東京都世田谷区桜丘2丁目6番28号
電話 03 (428) 5106
氏 名 (6787) 横山 亮

5 補正の対象 明細書の「特許請求の範囲」の補正及び図面

6 補正の内容

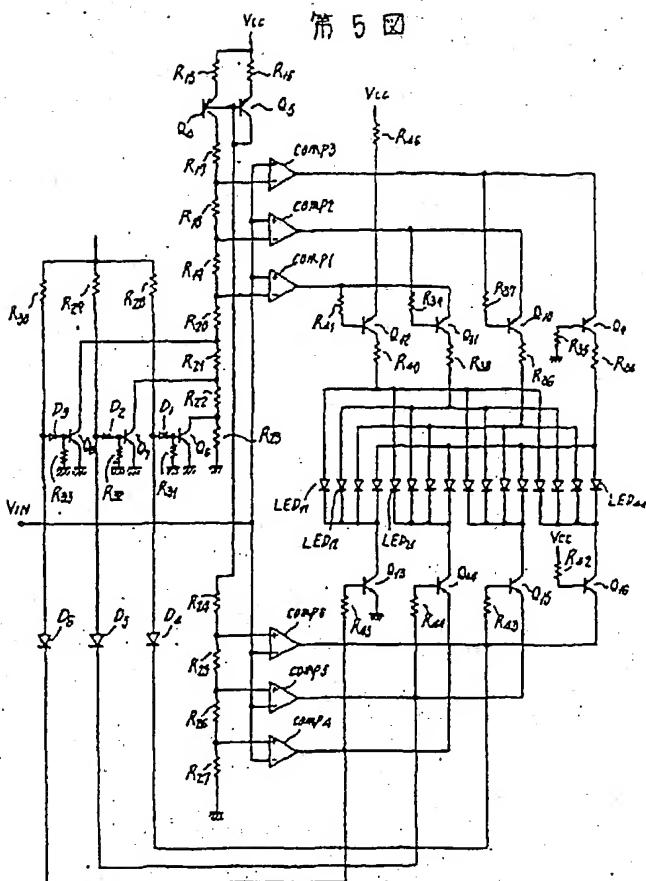
(1) 明細書第1頁中の特許請求の範囲を別紙の
とおりに補正する。
(2) 図面第5図を別添した図に代える。

別紙

特許請求の範囲

入力電圧の値によってマトリクス状に接続され
た複数の負荷を選択的に駆動する回路について、
第一の基準電圧源群と、この第一の基準電圧源群
の各基準電圧と入力電圧を比較する第一の電圧比
較器群と、第二の基準電圧群と、この第二の基準
電圧群の各基準電圧と入力電圧を比較する第二の
電圧比較器群と、前記第二の電圧比較器群の出力
状態の変化により前記第一の基準電圧源群の各基
準電圧を変える手段と、前記第一の電圧比較器群
及び第二の電圧比較器群の出力信号により広帯を
選択的に駆動する手段とを具備するマトリクス駆
動回路。

第5圖



~~(122)~~ 2